

[0011]

[Embodiment of the invention] As shown in Fig. 1, a gate oxide film (2) having a film thickness of about 100 Å to 200 Å is formed on a P type silicon substrate (1) by thermal oxidation, and a first polysilicon layer (3) having a film thickness of about 700 Å is deposited thereon by an LPCVD method.

[0012] Phosphorus (31P+) is implanted in a whole surface of the silicon substrate (1) under a condition of acceleration energy of 140 KeV and dose of $7 \times 10^{12}/\text{cm}^2$. A silicon nitride film (Si₃N₄ film) (4) having a film thickness of about 500 Å to 1000 Å is further deposited thereon by the LPCVD method.

[0013] Next, as shown in Fig. 2, an N-well region (5) is formed by thermally diffusing the implanted phosphorus. Note that it is possible that this thermal diffusion is not performed at this time so as to form the N-well region (5) simultaneously when forming the P-well region (7) by thermal diffusion afterward.

[0014] Then, the gate oxide film (2), the first polysilicon layer (3), and the silicon nitride film (Si₃N₄ film) (4) are selectively dry-etched to leave these on a device formation region, and a device isolation oxide film (i.e. LOCOS) (6) is formed by field oxidation. The device isolation oxide film (6) has a film thickness of about 3000 Å to 4500 Å. The device isolation oxide film (6) electrically isolates a plurality of the device formation regions (regions for forming a MOSFET and a resistor element). The gate oxide film (2) and the first polysilicon layer (3) function as a buffer in this field oxidation (same as a pad oxide film and a pad polysilicon layer of a conventional art). The silicon nitride film (4) serves as an anti-oxidation film in the field oxidation, and

removed by hot phosphoric acid. The gate oxide film (2) and the first polysilicon layer (3) thereunder are left as they are.

[0015] Next, as shown in Fig. 3, in a N-channel MOSFET formation region, boron is ion-implanted under a condition of acceleration energy of 140 KeV and dose of $1.3 \times 10^{13}/\text{cm}^2$, and thermally diffused, so that phosphorus is compensated to form a P-well region (7).

[0016] Then, as shown in Fig. 4, a second polysilicon layer (8) having a film thickness of about 500 Å is deposited on a whole surface by the LPCVD method. A photoresist (9) is further formed thereon, and boron is ion-implanted on a surface of the N-well region (5) through the gate oxide film (2), the first polysilicon layer (3), and the second polysilicon layer (8) in a resistor element formation region among the plurality of the device formation regions, thereby forming a P-type resistive layer (10) on a surface of the silicon substrate (1).

[0017] Acceleration energy of the ion-implantation at this time is 80 KeV, and dose is selected from a range of $1 \times 10^{13}/\text{cm}^2$ to $1 \times 10^{14}/\text{cm}^2$ in order to set a required resistance value. It is also possible to form a N-type resistive layer by ion-implanting boron in the P-well region (7).

[0018] After then, it is preferable to form a high melting point metal silicide layer (11) such as a tungsten silicide layer having a film thickness of about 1500 Å on the second polysilicon layer (8) by the CVD method for making resistance lower. It is possible to perform the above ion-implantation process before laminating the second polysilicon layer (8).

[0019] Next, as shown in Fig. 5, the N-channel type MOSFET formation region, i.e. the P-well region (7), the gate electrode region and a part of the resistive layer (10) of the

P-channel MOSFET are covered with a photoresist (12). That is, both ends of the photoresist (12) on the resistive layer (10) keep a distance from both ends of the device isolation oxide film (6). This photoresist (12) is patterned by using a P+ ion-implantation mask (a mask for forming source and drain of the P-channel MOSFET).

[0020] Then, as shown in Fig. 6, the first and second polysilicon layers (3) and (8), and the high melting point metal silicide layer (11) are dry-etched by using this photoresist (12) as a mask.

[0021] With this process, the N-channel MOSFET formation region is covered with the first and second polysilicon layers (3) and (8) and the high melting point metal silicide layer (11). Then, a gate electrode (13) of the P-channel MOSFET is formed. On the resistive layer (10), a mask layer (14) is formed for source and drain implantation to be performed afterward. Note that Fig. 6 shows a state where the photoresist (12) is removed.

[0022] Then, as shown in Fig. 7, ion-implantation of boron is performed. A condition of the ion-implantation is 70 KeV in acceleration energy, and about $30 \times 10^{15}/\text{cm}^2$ in dose. A P+ source region (16) and a P (+) drain region (17) of the P-channel MOSFET (15) are thus formed. At the same time, P+ electrode leading regions (19) and (20) of a resistor element (18) are formed. At this time, since the mask layer (14) covers the resistive layer (10), boron is not implanted in the resistive layer (10).

[0023] Thus, the gate electrode (15), the P+ source region (16), and the P+ drain region (17) of the P-channel MOSFET, and the P+ electrode leading regions (19) and (20) of the resistor element (18) can be formed by using one sheet of the P+ ion-implantation mask.

[0024] Next, as shown in Fig. 8, on the contrary, the P-channel MOSFET formation region, the resistor element (18), and the gate electrode formation region of the N-channel MOSFET are covered with a photoresist (21). This photoresist (21) is patterned by using a N⁺ ion-implantation mask (a mask for forming source and drain of the N-channel MOSFET).

[0025] The first and second polysilicon layers (2) and (8), and the high melting point metal silicide layer (11) are dry-etched by using this photoresist (21) as a mask. Then, as shown in Fig. 9, the gate electrode (22) of the N-channel MOSFET is formed.

[0026] Then, as shown in Fig. 10, ion-implantation of arsenic is performed. A condition of the ion-implantation is 70 KeV in acceleration energy and about 5×10^{15} cm² in dose. With this process, a N⁺ source region (24) and a N⁺ drain region (25) of the N-channel MOSFET (23) are formed.

[0027] Then, as shown in Fig. 11, the photoresist (21) is removed. After then, the well known manufacturing method is used to form an Al electrode on the P⁺ source region (16) and the P⁺ drain region (17) of the P-channel MOSFET (15), the P⁺ electrode leading regions (19) and (20) of the resistor element (18), and the N⁺ source region (24) and the N⁺ drain region (25) of the N-channel MOSFET (23).

[0028] With this process, the gate electrode (22), the N⁺ source region (24), and the N⁺ drain region (24) of the N-channel MOSFET can be formed by using one sheet of the N⁺ ion-implantation mask.

[0029] Fig. 12 is a plan view of the resistor element (18) in Fig. 11. The P- resistive layer (10), the P⁺ electrode leading regions (19) and (20) are formed in the device formation region enclosed with the device isolation oxide film (6), and the mask layer (14) is formed on the resistive layer (10), the mask layer (14) slightly extending over the

device isolation oxide film (6) in consideration of mask shifting.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183175

(P2000-183175A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. ⁷	識別記号	F I	7-コード* (参考)
H 0 1 L 21/8234		H 0 1 L 27/06	1 0 2 A 5 F 0 3 8
27/06		27/04	R 5 F 0 4 8
27/04			
21/822			

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平10-351786

(22) 出願日 平成10年12月10日 (1998. 12. 10)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 関川 信之

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

(72) 発明者 片桐 敬泰

新潟県小千谷市千谷甲3000番地 新潟三洋

電子株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

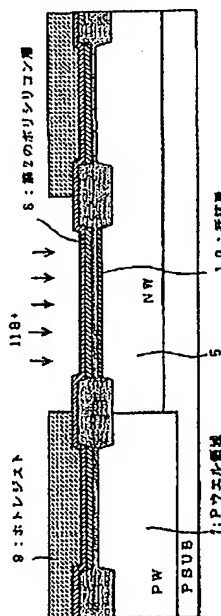
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】抵抗素子を具備した半導体装置の製造工程を短縮すること。

【解決手段】抵抗層形成前のパッド・ポリシリコン層 (第1のポリシリコン層) (3) の除去工程を行わず、このパッド・ポリシリコン層 (3) を残したまま、抵抗層 (10) をイオン注入にて形成する。また、パッド酸化膜は除去せず、ゲート酸化膜 (2) として利用する。グミー酸化も用いない。さらに、Pチャネル型MOSFETとNチャネル型MOSFETのゲート電極を、PチャネルMOSFETのソースドレイン形成マスク、NチャネルMOSFETのソースドレイン形成マスクを用いて形成している。



【特許請求の範囲】

【請求項1】半導体基板上に抵抗素子を具備する半導体装置の製造方法において、

第1導電型の半導体基板上の複数の素子形成領域上にゲート酸化膜、第1のポリシリコン層、シリコン窒化膜を形成する工程と、

熱酸化により前記複数の素子形成領域を分離する素子分離酸化膜を形成する工程と、

前記シリコン窒化膜のみを除去し、前記ゲート酸化膜および第1のポリシリコン層を前記複数の素子形成領域上に残す工程と、

全面に第2のポリシリコン層を堆積する工程と、

前記複数の素子形成領域のうち、抵抗素子形成領域上のゲート酸化膜および第1、第2のポリシリコン層を貫通してイオン注入を行い、前記半導体基板の表面に第2導電型の抵抗層を形成する工程と、

第2導電型MOSFETの形成領域上、第1導電型MOSFETのゲート電極領域上及び前記抵抗層の一部上をホトレジストで被う工程と、

このホトレジストをマスクとして、第1、第2のポリシリコン層をドライエッチングする工程と、

前記抵抗層の電極取り出し領域及び第1導電型MOSFETのソースドレイン領域をイオン注入により形成する工程と、

前記第1導電型MOSFETの形成領域上、抵抗素子形成領域上及び第2導電型MOSFETのゲート電極形成領域上をホトレジストで被う工程と、

このホトレジストマスクとして、第1、第2のポリシリコン層をドライエッチングする工程と、

前記第2導電型MOSFETのソースドレイン領域をイオン注入により形成する工程と、有することを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に抵抗素子を具備する半導体装置の製造方法において、

第1導電型の半導体基板上の複数の素子形成領域上にゲート酸化膜、第1のポリシリコン層、シリコン窒化膜を形成する工程と、

熱酸化により前記複数の素子形成領域を分離する素子分離酸化膜を形成する工程と、

前記シリコン窒化膜のみを除去し、前記ゲート酸化膜および第1のポリシリコン層を前記複数の素子形成領域上に残す工程と、

前記複数の素子形成領域のうち、抵抗素子上のゲート酸化膜および第1のポリシリコン層を貫通してイオン注入を行い、前記半導体基板の表面に第2導電型の抵抗層を形成する工程と、

全面に第2のポリシリコン層を堆積する工程と、

第2導電型MOSFETの形成領域上、第1導電型MOSFETのゲート電極領域上及び前記抵抗層の一部上をホトレジストで被う工程と、

このホトレジストをマスクとして、第1、第2のポリシリコン層をドライエッチングする工程と、

前記抵抗層の電極取り出し領域及び第1導電型MOSFETのソースドレイン領域をイオン注入により形成する工程と、

前記第1導電型MOSFETの形成領域上、抵抗素子上及び第2導電型MOSFETのゲート電極形成領域上をホトレジストで被う工程と、

このホトレジストマスクとして、第1、第2のポリシリコン層をドライエッチングする工程と、

前記第2導電型MOSFETのソースドレイン領域をイオン注入により形成する工程と、有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、さらに詳しく言えば、抵抗素子を具備する半導体装置の製造工程を短縮する技術に関する。抵抗素子は、LSIの基準電圧発生回路、ADコンバータのラダー抵抗などに広く利用されている。

【0002】

【従来の技術】抵抗素子を半導体装置に作り込む方法を、図13及び図14を参照して説明する。

【0003】まず、図13(a)に示すように、よく知られたLOCOS酸化工程を行い、シリコン基板(51)上に素子分離酸化膜(52)を形成する。そして、図13(b)に示すように、パッド・シリコン酸化膜(53)、パッド・ポリシリコン層(54)、シリコン窒化膜などを除去する。次に、図13(c)に示すように、ダミー酸化を行い、ダミー酸化膜(55)を通して、シリコン基板(51)に不純物をイオン注入し、抵抗層(56)を形成する。そして、図14(d)に示すように、ダミー酸化膜(55)を除去して、再度熱酸化を行い、抵抗層(56)上にゲート酸化膜(57)を形成する。これは、MOSFETのゲート酸化膜になる。このゲート酸化膜上にポリシリコン層(58)を堆積する。

【0004】次に、図14(e)に示すように、ポリシリコン層(58)を、ゲート形成マスクを用いてパターニングし、ゲート電極を形成する。このとき、抵抗層(56)上のポリシリコン層(58)は除去される。

【0005】そして、図14(f)に示すように、ソースドレイン形成マスクを用いて、抵抗層(56)の一部上にホトレジスト・パターン(59)を形成し、これをマスクにして、不純物を高濃度に注入し、高濃度層の電極取り出し領域(60)(61)を形成し、抵抗素子を形成していた。

【0006】

【発明が解決しようとする課題】しかしながら、LOCOS酸化の後に、パッド・ポリシリコン層の除去工程が

あり、また、ダミー酸化とその除去工程がある点で、工数が多い。さらに、ゲート形成マスク（１枚）、ソースドレイン形成マスク（２枚）が必要であった。本発明は、上記課題に鑑みてなされ、マスク枚数、工程数を削減した、抵抗素子を含む半導体装置の製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】上記課題を解決するために、請求項１に係る発明は、抵抗層形成前のパッド・ポリシリコン層（第１のポリシリコン層）の除去工程を行わず、このパッド・ポリシリコン層を残したまま、抵抗層をイオン注入にて形成する。また、パッド酸化膜は除去せず、ゲート酸化膜として利用する。ダミー酸化も用いない。さらに、第１導電型MOSFET（Pチャネル型MOSFET）と第２導電型MOSFET（Nチャネル型MOSFET）のゲート電極を、PチャネルMOSFETのソースドレイン形成マスク、NチャネルMOSFETのソースドレイン形成マスクを用いて形成している。

【0008】そして、PチャネルMOSFETのソースドレイン形成マスクで、ポリシリコン層をパターンニングするときに併せて、抵抗層上にポリシリコン層を残す。そして、ソースドレイン領域と、抵抗層の電極取り出し領域をイオン注入で形成する。

【0009】したがって、従来は、ゲート電極形成マスク（１枚）、ソースドレイン形成マスク（２枚）の合計３枚が必要であったのに対し、本発明によれば、ソースドレイン形成マスク（２枚）の２枚で足りるのである。このようにして、工程の削減、マスク枚数の削減がなされる。

【0010】また、請求項２の発明は、請求項１の発明において、抵抗層形成用のイオン注入工程を第２のポリシリコン層形成前に変更し、イオン注入の加速エネルギーを下げることを可能にしている。

【0011】

【発明の実施の形態】図１に示すように、P型のシリコン基板（１）上に、膜厚約１００Å～２００Åのゲート酸化膜（２）を熱酸化により形成し、さらに膜厚約７００Åの第１のポリシリコン層（３）をLPCVD法により堆積する。

【0012】そして、リン（ $31P^+$ ）を加速エネルギー１４０KeV、ドーズ量 $7 \times 10^{12}/cm^2$ の条件で、シリコン基板（１）の表面全面にわたって注入する。そして、膜厚約５００Å～１０００Åのシリコン窒化膜（ Si_3N_4 膜）（４）をLPCVD法により堆積する。

【0013】次に、図２に示すように、注入されたリンを熱拡散してNウェル領域（５）を形成する。なお、ここでは熱拡散を行わず、後にPウェル領域（７）を熱拡散するときと同時に形成してもよい。

【0014】その後、上記のゲート酸化膜（２）、第

１のポリシリコン層（３）シリコン窒化膜（ Si_3N_4 膜）（４）を選択的にドライエッチングして、素子形成領域上に残し、フィールド酸化により、素子分離酸化膜（いわゆるロコス）（６）を形成する。その膜厚は、３０００Å～４５００Å程度である。素子分離用酸化膜（６）は、複数の素子形成領域（MOSFET、抵抗素子の形成領域）を電気的に分離する。ここで、ゲート酸化膜（２）、第１のポリシリコン層（３）は、フィールド酸化時に緩衝材として作用する。（従来例のパッド酸化膜、パッド・ポリシリコン層と同様である）また、シリコン窒化膜（４）は、フィールド酸化に対する耐酸化性膜となるものである。そして、熱リン酸処理により、シリコン窒化膜（４）を除去する。下層のゲート酸化膜（２）及び第１のポリシリコン層（３）はそのまま残す。

【0015】次に、図３に示すように、NチャネルMOSFETの形成領域に、ボロンを加速エネルギー１４０KeV、ドーズ量 $1.3 \times 10^{13}/cm^2$ の条件で、イオン注入し、熱拡散することにより、リンをコンベンセントし、Pウェル領域（７）を形成する。

【0016】そして、図４に示すように、全面に膜厚約５００Åの第２のポリシリコン層（８）をLPCVD法により堆積する。さらに、ホトレジスト（９）を形成し、上記複数の素子形成領域のうち、抵抗素子形成領域上のゲート酸化膜（２）、第１のポリシリコン層（３）及び第２のポリシリコン層（８）を貫通して、Nウェル領域（５）の表面にボロンをイオン注入し、シリコン基板（１）の表面にP型の抵抗層（１０）を形成する。

【0017】このときのイオン注入の加速エネルギーは、８０KeVであり、ドーズ量は所望の抵抗値を設定するために、 $1 \times 10^{13}/cm^2 \sim 1 \times 10^{14}/cm^2$ の範囲から選ばれる。また、Pウェル領域（７）にイオン注入してN型の抵抗層を形成することもできる。

【0018】この後、第２のポリシリコン層（８）上には、低抵抗化のために、タングステンシリサイド層などの高融点金属シリサイド層（１１）を膜厚約１５００Åに、CVD法により形成するとよい。また、上記のイオン注入工程を、第２のポリシリコン層（８）を堆積する前に行っても良い。

【0019】次に、図５に示すように、Nチャネル型MOSFET形成領域上、すなわちPウェル領域（７）、Pチャネル型MOSFETのゲート電極領域上及び抵抗層（１０）の一部上をホトレジスト（１２）で被う。すなわち、抵抗層（１０）上のホトレジスト（１２）の両端は、素子分離酸化膜（６）の両端と離間させている。このホトレジスト（１２）は、P+イオン注入マスク（PチャネルMOSFETのソースドレイン形成用マスク）を用いてパターンニングする。

【0020】そして、図６に示すように、このホトレジスト（１２）をマスクとして、第１、第２のポリシリコ

ン層(3)(8)、高融点金属シリサイド層(11)をドライエッチングする。

【0021】これにより、Nチャネル型MOSFET形成領域上は、第1、第2のポリシリコン層(3)

(8)、高融点金属シリサイド層(11)で覆われる。そして、Pチャネル型MOSFETのゲート電極(13)が形成される。抵抗層(10)上には、後のソースドレイン注入に対するマスク層(14)が形成される。なお、図において、ホトレジスト(12)を除去した状態を示している。

【0022】そこで、図7に示すように、ボロンのイオン注入を行う。その条件は、加速エネルギー70KeV、ドーズ量約 $3 \times 10^{15} / \text{cm}^2$ である。これにより、PチャネルMOSFET(15)のP+型ソース領域(16)、P+型ドレイン領域(17)が形成される。同時に、抵抗素子(18)のP+型の電極取り出し領域(19)(20)を形成する。このとき、マスク層(14)が抵抗層(10)を覆っているため、ボロンは抵抗層(10)には、注入されない。

【0023】このようにして、1枚のP+イオン注入マスクで、Pチャネル型MOSFETのゲート電極(15)、P+型ソース領域(16)、P+型ドレイン領域(17)、抵抗素子(18)のP+型の電極取り出し領域(19)(20)を形成することができる。

【0024】次に、図8に示すように、反対に、Pチャネル型MOSFETの形成領域上、抵抗素子(18)上及びNチャネル型MOSFETのゲート電極形成領域上をホトレジスト(21)で被う。このホトレジスト(21)は、N+イオン注入マスク(NチャネルMOSFETのソースドレイン形成用マスク)を用いてパターニングする。

【0025】このホトレジスト(21)をマスクとして、第1、第2のポリシリコン層(2)(8)、高融点金属シリサイド層(11)をドライエッチングする。そうすると、図9に示すように、Nチャネル型MOSFETのゲート電極(22)が形成される。

【0026】続いて、図10に示すように、砒素のイオン注入を行う。その条件は、加速エネルギー70KeV、ドーズ量約 $5 \times 10^{15} / \text{cm}^2$ である。これにより、NチャネルMOSFET(23)のN+型ソース領域(24)、N+型ドレイン領域(25)が形成される。

【0027】そして、図11に示すように、ホトレジスト(21)を除去する。この後は、よく知られた製造工程により、Pチャネル型MOSFET(15)のP+型ソース領域(16)、P+型ドレイン領域(17)、抵抗素子(18)のP+型の電極取り出し領域(19)

(20)上、並びにNチャネルMOSFET(23)のN+型ソース領域(24)、N+型ドレイン領域(25)上にA1電極を形成する。

【0028】このようにして、1枚のN+イオン注入マスクで、Nチャネル型MOSFETのゲート電極(22)、N+型ソース領域(24)、N+型ドレイン領域(24)を形成することができる。

【0029】図12は、図11における抵抗素子(18)の平面図である。P-型の抵抗層(10)、P+型の電極取り出し領域(19)(20)は、素子分離酸化膜(6)によって囲まれた素子形成領域に形成されており、抵抗層(10)上をマスク層(14)が形成され、このマスク層(14)はマスクずれを考慮して素子分離酸化膜(6)上にわずかに延在している。

【0030】

【発明の効果】以上説明したように、本発明によれば、抵抗素子を具備した半導体装置のマスク枚数の削減と製造工程を短縮することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図2】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図3】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図4】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図6】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図7】本発明の実施形態に係る半導体装置の製造方法を示す平面図である。

【図8】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図9】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図10】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

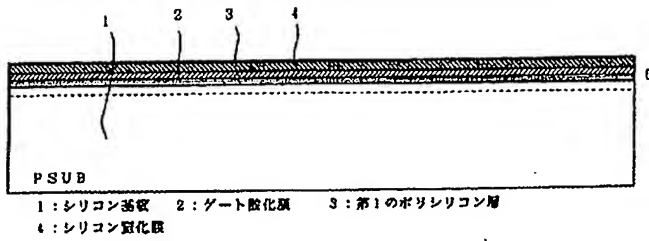
【図11】本発明の実施形態に係る半導体装置の製造方法を示す断面図である。

【図12】抵抗素子を示す平面図である。

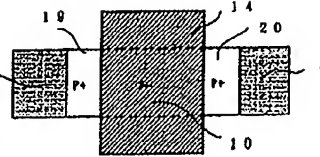
【図13】従来例に係る半導体装置の製造方法を示す断面図である。

【図14】従来例に係る半導体装置の製造方法を示す断面図である。

【図1】

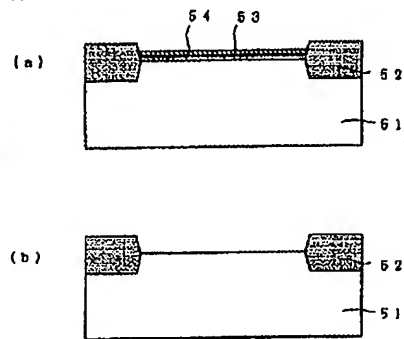
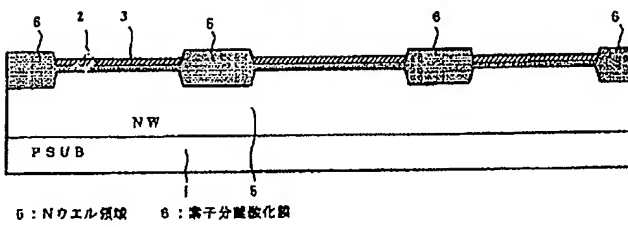


【図12】

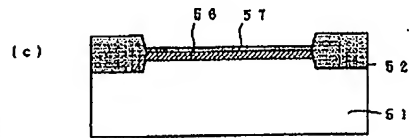
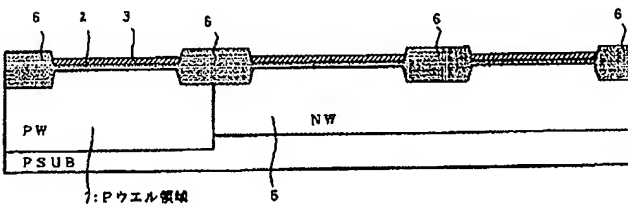


【図13】

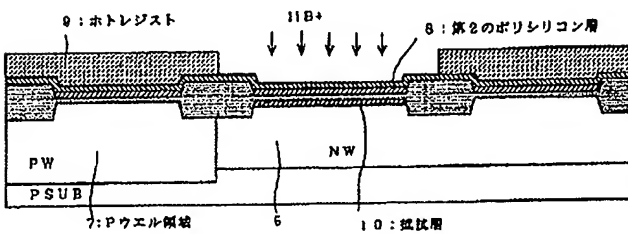
【図2】



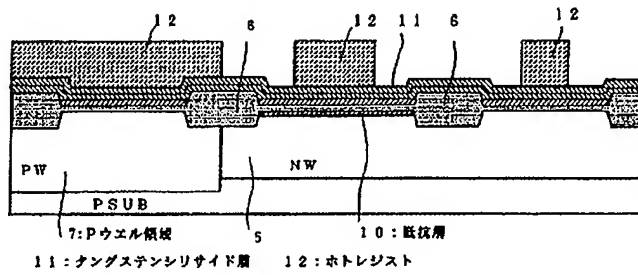
【図3】



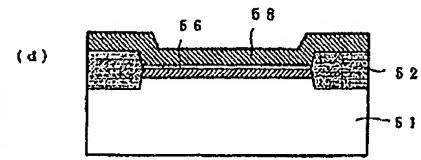
【図4】



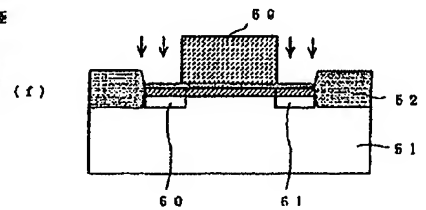
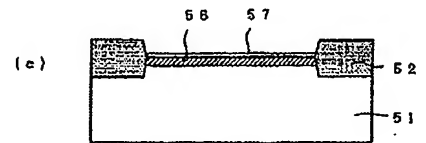
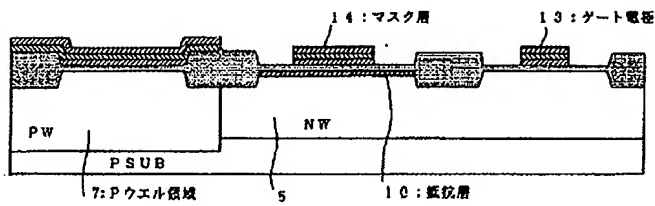
【図5】



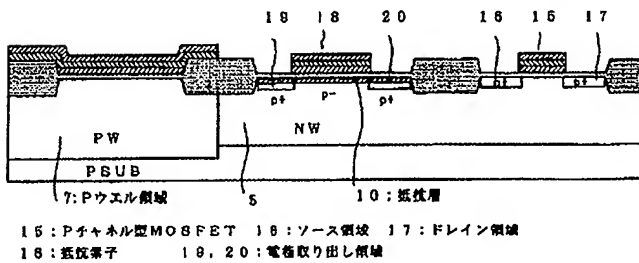
【図14】



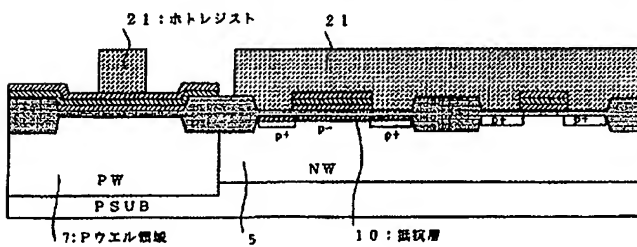
【図6】



【図7】

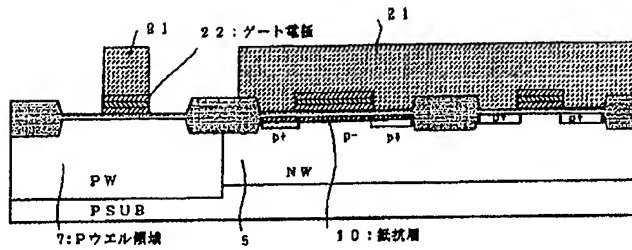


【図8】

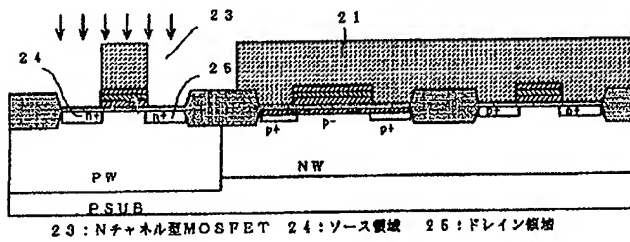


(7) 000-183175 (P2000-183175A)

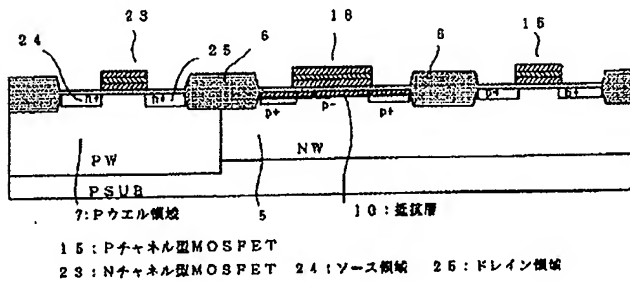
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 安藤 弥
新潟県小千谷市千谷甲3000番地 新潟三洋
電子株式会社内

(72)発明者 姉崎 正明
新潟県小千谷市千谷甲3000番地 新潟三洋
電子株式会社内

Fターム(参考) 5F038 AR13 EZ13

5F048 AA09 AB08 AB10 AC03 AC10
BA01 BB06 BB07 BB08 BC01
BD04 BE03 BG01 BG12 BH02